

⑫ 公開特許公報(A) 平3-12637

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月21日

G 02 F 1/136

5 0 0

9018-2H

G 09 F 1/13

1 0 1

8806-2H

G 09 F 9/30

3 3 8

8621-5C

H 01 L 27/12

A

7514-5F

29/784

9056-5F H 01 L 29/78

3 1 1 A

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 画像表示装置の製造方法

⑯ 特 願 平1-146688

⑰ 出 願 平1(1989)6月12日

⑱ 発 明 者 林 慎 一 郎 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 千 田 耕 司 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 山 本 敦 也 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 藤 井 英 治 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 江 本 文 昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 星野 恒 司

明 細 書

本発明は、液晶を用いた画像表示装置の製造方法に関するものである。

(従来の技術)

近年、液晶を用いた画像表示装置は軽量、薄型、低消費電力等の特徴を有するフラットパネル・ディスプレイとして、CRT(Cathode-Ray-Tube)では対応できない分野、例えば、可搬型計測機器の画像表示装置に用いられる等、非常に注目を集めている。

以下、図面を参照しながら、上述したような従来の画像表示装置の製造方法について説明する。

第4図は従来の画像表示装置の構成図を示し、第5図は第4図の画素部の一部断面図を示すものである。

第4図、第5図において、40は石英基板、41はゲート酸化膜、42はゲート電極、43はゲート信号線、44はソース領域、45はドレイン領域、46は周間絶縁膜、47はソース・コンタクト、48はソース信号線、49はボンディング・パッド、50は画素電極、51は保護膜、52は液晶配向膜、53は共通電極、

1. 発明の名称 画像表示装置の製造方法。

2. 特許請求の範囲

石英基板上にマトリックス状に配列された薄膜トランジスタを有する画素部と、該画素部の駆動用の垂直走査回路と水平走査回路とを有する画像表示装置の製造方法において、前記画素部における薄膜トランジスタのソース領域上にソース・コンタクトを形成する工程と、前記薄膜トランジスタのドレイン領域上にドレイン・コンタクトを形成する工程と、該ドレイン・コンタクトの上にコンタクト膜を形成する工程と、該コンタクト膜と導通を持つ画素電極を形成する工程と、前記画素部と前記垂直走査回路とをゲート信号線で配線する工程と、前記画素部と前記水平走査回路とをソース信号線で配線する工程とを含むことを特徴とする画像表示装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

54は上面ガラス板、55は液晶、56は画素部、57は垂直走査回路、58は水平走査回路である。

第5図に示すように、まず、石英基板40上に、ポリシリコン膜を形成し、フォトリソistをマスクとして、プラズマエッチングによりトランジスタ領域を形成する。

次に、チャネル領域を形成するために、熱酸化シリコン層を形成した上に、ポリシリコン層を形成し、フォトリソistをマスクとして、プラズマエッチングによりポリシリコンによる、ゲート電極42と第4図に示すゲート信号線43を形成する。

この後、ウェットエッチングによりチャネル領域以外の熱酸化シリコン層を除去し、ゲート酸化膜41を形成する。

そして、フォトリソistをマスクとして、トランジスタ領域上に、P⁺またはAs⁺をイオン注入し、n⁺領域であるソース領域44とドレイン領域45とを形成する。

この後、ソース・コンタクト用窓とドレイン・コンタクト用窓とを有する層間絶縁膜46を、酸化

シリコン(Non-doped silicate glass: 以下、N S Gと記す。)により形成し、Al-Si合金膜によるソース信号線48と第4図に示すボンディング・パッド49とを形成する。

そして、酸化インジウム錫(Indium Tin oxide: 以下、ITOと記す。)等による画素電極50を形成し、窒化シリコンによる保護膜51を形成する。

以上のようにして、第4図に示すような、画素部56が形成されると同時に、上記のCMOS(Complementary metal oxide semiconductor: 以下、CMOSと記す。)プロセスにより、垂直走査回路57と水平走査回路58とが形成される。

この後、液晶工程において、第4図に示す画素部56上に、液晶配向膜52を形成し、ラビングを行った後、液晶55を注入し、石英基板40と対向するように、共通電極53が形成された液晶封止用の上面ガラス板54を接着剤により接着し、液晶の封止を行ない、液晶を用いた画像表示装置が製造される。

(発明が解決しようとする課題)

しかしながら上記のような構成では、ドレイン領域45を形成するポリシリコンとITOの画素電極50とのコンタクト抵抗が高く、また、液晶工程において液晶配向膜52のラビングや液晶55の注入等を行なう際の熱処理により、さらに、コンタクト抵抗が高くなり、その場合、ドレイン信号が画素電極50に十分に伝達されにくくなり、その結果として、画素部56の一部が動作しなくなり、表示品質が悪くなるという欠点を有していた。

本発明は上記欠点に鑑み、ドレイン信号が画素電極50に十分に伝達されない場合に起こる画素部56の一部が動作しない等の表示品質の低下を阻止し、信頼性の高い画像表示装置の製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明は、上記課題を解決するために、石英基板上にマトリックス状に配列された薄膜トランジスタを有する画素部と、該画素部の駆動用の垂直走査回路と水平走査回路とを有する画像表示装置の製造方法において、前記画素部における前記薄

膜トランジスタのソース領域上にソース・コンタクトを形成する工程と、前記薄膜トランジスタのドレイン領域上にAlまたはAl-Si合金で形成されているドレイン・コンタクトを形成する工程と、該ドレイン・コンタクト上にCrあるいはNiあるいはNi-Cr合金で形成されるコンタクト膜を形成する工程と、該コンタクト膜と導通を持つ画素電極を形成する工程と、前記画素部と前記垂直走査回路とをゲート信号線で配線する工程と、前記画素部と前記水平走査回路とをソース信号線で配線する工程とを含むことにより製造される。

(作用)

本発明は上記製造方法によって、ポリシリコンとAlあるいはAl-Si合金のコンタクト抵抗は低く、また、AlあるいはAl-Si合金とCrあるいはNiあるいはNi-Cr合金のコンタクト抵抗も低く、さらに、CrあるいはNiあるいはNi-Cr合金とITOとのコンタクト抵抗も低いので、ドレイン領域を形成するポリシリコンとITOとのコンタクト抵抗が十分低くできる。

なおかつ、CrあるいはNiあるいはNi-Cr合金による酸化されにくいコンタクト膜を用いることにより、画素電極として、例えば、ITO等の酸化膜を用いるために、酸化膜の作成時にドレイン・コンタクトのA₀あるいはA₀-Si合金が酸化され、コンタクト抵抗が高くなることを防止することができる。

その結果、ドレイン信号が画素電極に十分に伝達されないために起こる画素部の一部が動作しない等の表示品質の低下を阻止し、歩留まりが高く、信頼性の高い画像表示装置が製造できる。

(実施例)

以下本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例における画像表示装置の回路構成図を示し、第2図は第1図の画素部の一部平面図、第3図は第2図のE-E'における断面の製造工程を示す図である。

第1図、第2図、第3図において、10は石英基板、11はトランジスタ領域、12はゲート酸化膜、

この後、第3図(c)に示すように、ウェットエッチングによりチャネル領域以外の酸化シリコン層を除去し、ゲート酸化膜12を形成する。

そして、第3図(d)に示すように、フォトリジストをマスクとしてトランジスタ領域上にP⁺またはAs⁺をイオン注入し、n⁺領域であるソース領域15とドレイン領域16とを形成する。

この後、第3図(e)に示すように、石英基板10上に、常圧CVD法により厚さ1 μ m程度のNSG層を形成し、フォトリジストをマスクとして、エッチングにより、ソース・コンタクト用窓18Vとドレイン・コンタクト用窓19Vとを有する層間絶縁膜17を形成する。

次に、第3図(f)に示すように、石英基板上に、DCバイアス・スパッタ法により厚さ1 μ m程度のA₀あるいはA₀-Si合金膜を形成し、フォトリジストをマスクとしたエッチングにより、上記コンタクト窓18Vと19Vに夫々ソース・コンタクト18とドレイン・コンタクト19を形成すると同時に、第2図に示すソース信号線20と第1図に示すボンディ

13はゲート電極、14はゲート信号線、15はソース領域、16はドレイン領域、17は層間絶縁膜、18はソース・コンタクト、19はドレイン・コンタクト、20はソース信号線、21はボンディング・パッド、22はコンタクト膜、23は画素電極、24は保護膜、25は液晶配向膜、26は共通電極、27は上面ガラス板、28は液晶、29は画素部、30は垂直走査回路、31は水平走査回路である。

まず、製造方法の工程は第3図(a)に示すように、石英基板10上に減圧CVD法により厚さ0.2 μ m程度のポリシリコン層を形成し、フォトリジストをマスクとして、プラズマエッチングによりトランジスタ領域11を形成する。

次に第3図(b)に示すように、チャネル領域を形成するために、熱酸化による厚さ0.1 μ m程度の酸化シリコン層を形成した上に、減圧CVD法により厚さ0.3 μ m程度のポリシリコン層を形成し、フォトリジストをマスクとして、プラズマエッチングによりポリシリコンによるゲート電極13と第2図に示すゲート信号線14とを形成する。

ング・パッド21とを形成する。

そして、第3図(h)に示すように、画素電極23として、例えば、ITO等の酸化膜を用いるために、第3図(g)に示すように酸化膜の作成時にドレイン・コンタクト19のA₀あるいはA₀-Si合金が酸化されないように、ドレイン・コンタクト19を覆うように酸化されにくい金属、すなわち、CrあるいはNiあるいはCr-Ni合金膜を、高周波マグネトロンスパッタ法により、350°程度の成長温度で厚さ0.2 μ m程度形成した後、フォトリジストをマスクとしてウェットエッチングにより、コンタクト膜22を形成する。

そして、第3図(h)に示すように、高周波マグネトロンスパッタ法により厚さ0.1 μ m程度のITO膜を形成した後、フォトリジストをマスクとしてウェットエッチングにより、画素電極23を形成する。

そして、第3図(i)に示すように、プラズマCVD法により厚さ0.2 μ m程度の窒化シリコンによる保護膜24を形成する。

以上の各製造工程を経て、第1図に示すように、画素部29が形成されると同時に、上記のCMOSプロセスにより、垂直走査回路30と水平走査回路31とが形成される。

この後、第3図(j)に示すように、液晶工程により、第1図に示す画素部29上に、ポリイミドにより液晶配向膜25を形成し、ラビングを行なった後、液晶28を注入し、石英基板10と対向するように、共通電極26が形成された液晶封止用の上面ガラス板27を接着剤により接着し、液晶の封止を行ない、液晶を用いた画像表示装置が製造される。

以上のように本実施例によれば、従来からのプロセス時に、ドレイン領域を形成するポリシリコンとITOとのコンタクト抵抗が高く、また、液晶工程において液晶配向膜ラビングや液晶注入等を行なう際の熱処理により、さらに、コンタクト抵抗が高くなり、その場合、ドレイン信号が画素電極に十分に伝達されにくくなり、その結果として、画素部の一部が動作しなくなり、表示品質が悪くなることを阻止できる。

形成されるコンタクト膜を形成する工程と、前記コンタクト膜と導通を待つITO等による画素電極を形成する工程と、前記画素部と前記垂直走査回路とをゲート信号線で配線する工程と、前記画素部と前記水平走査回路とをソース信号線で配線する工程とを含む製造方法により、ポリシリコンA1あるいはA1-Si合金のコンタクト抵抗は低く、また、A1あるいはA1-Si合金とCrあるいはNiあるいはNi-Cr合金のコンタクト抵抗も低く、さらにCrあるいはNiあるいはNi-Cr合金とITOとのコンタクト抵抗も低いので、ドレイン領域を形成するポリシリコンとITOとのコンタクト抵抗が十分低くできる。

なおかつ、CrあるいはNiあるいはNi-Cr合金による酸化されにくいコンタクト膜を用いることにより、画素電極として、ITO等の酸化膜を用いるために、酸化膜の作成時にドレイン・コンタクトのA1あるいはA1-Si合金が酸化され、コンタクト抵抗が高くなることを防止することができる。

その結果、ドレイン信号が画素電極に十分に伝

なお、本実施例では走査回路を石英基板上に形成しているが、走査回路をハイブリット構成した画像表示装置でもよい。

また、本実施例ではTFTとして、P⁺やAs⁺をイオン注入したn型トランジスタを用いたが、B⁺をイオン注入したp型トランジスタでもよい。

すなわち、画素部や垂直走査回路や水平走査回路やTFTの構成に対して特別に限定されたものではない。

(発明の効果)

以上説明したように本発明は、石英基板上にマトリックス状に配列された薄膜トランジスタを有する画素部と、該画素部の駆動用の垂直走査回路と水平走査回路を有する画像表示装置の製造方法において、前記画素部の薄膜トランジスタのソース領域上にソース・コンタクトを形成する工程と、前記画素部の薄膜トランジスタのドレイン領域上にA1またはA1-Si合金で形成されているドレイン・コンタクトを形成する工程と、前記ドレイン・コンタクト上にCrあるいはNiあるいはNi-Cr合金で

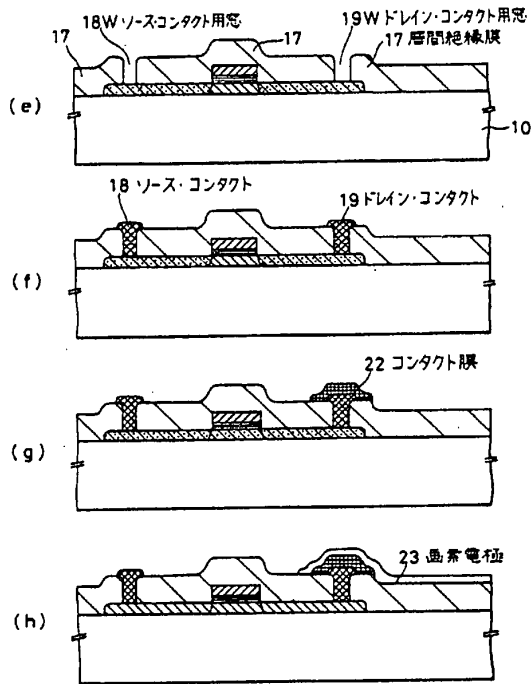
達されないために起こる画素部の一部が動作しない等の表示品質の低下を阻止し、歩留まりが高く、信頼性の高い画像表示装置が製造でき、その実用的効果は大なるものがある。

4. 図面の簡単な説明

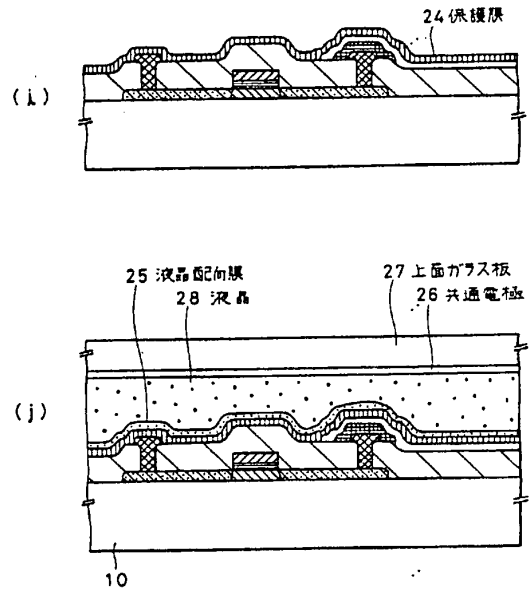
第1図は本発明の一実施例における画像表示装置の回路構成図、第2図は本発明の一実施例における画像表示装置の画素部の一部平面図、第3図は本発明の一実施例における画像表示装置の画素部の一部断面の製造工程を示す図、第4図は従来の画像表示装置の構成図、第5図は従来の画像表示装置の画素部の一部断面図である。

- 10…石英基板、 11…トランジスタ領域、
- 12…ゲート酸化膜、 13…ゲート電極、
- 14…ゲート信号線、 15…ソース領域、
- 16…ドレイン領域、 17…層間絶縁膜、
- 18…ソース・コンタクト、 19…ドレイン・コンタクト、
- 20…ソース信号線、 21…ボンディング・パッド、 22…コンタクト膜、 23…画素電極、 24…保護

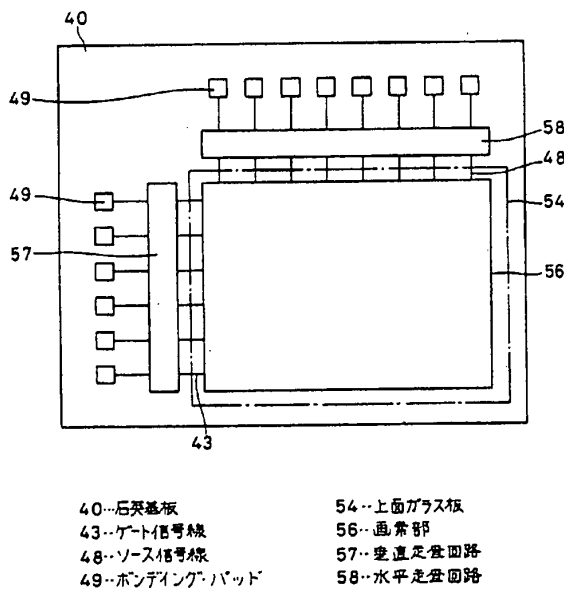
第3図



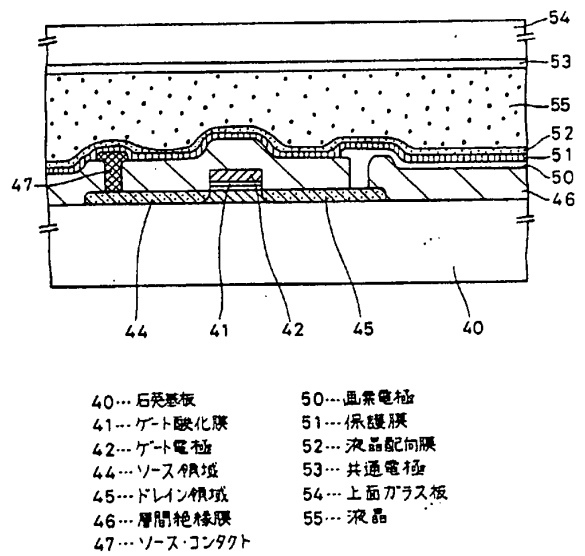
第3図



第4図



第5図



PAT-NO: JP403012637A

DOCUMENT-IDENTIFIER: JP 03012637 A

TITLE: MANUFACTURE OF IMAGE
DISPLAY DEVICE

PUBN-DATE: January 21, 1991

INVENTOR-INFORMATION:

NAME

HAYASHI, SHINICHIRO

SENDA, KOJI

YAMAMOTO, ATSUYA

FUJII, EIJI

EMOTO, FUMIAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP01146688

APPL-DATE: June 12, 1989

INT-CL (IPC): G02F001/136, G02F001/13 ,
G09F009/30 , H01L027/12 , H01L029/784

US-CL-CURRENT: 349/42, 349/FOR.111

ABSTRACT:

PURPOSE: To prevent the display quality from degrading by forming a picture element electrode which conducts to a contact film, and wiring the picture element part and a vertical scanning circuit by a gate signal line and wiring the picture element part and a horizontal scanning circuit by a source signal line.

CONSTITUTION: A source contact 18 is formed on the source area 15 of the thin film transistor(TFT) of the picture element part, a drain contact 19 is

formed of Al or AlSi alloy on the drain area 16, and a contact film is formed of Cr, Ni, or Ni-Cr alloy thereupon. Then the picture element electrode 23 which conducts to the contact film is formed, the picture element part and vertical scanning circuit are wired by the gate signal line 14, and the picture element part and horizontal scanning circuit are wired by the source signal line 20. Consequently, such a degradation in the display quality that part of the picture element part does not operate owing to the deficient transmission of a drain signal to the picture element electrode 23 is eliminated.

COPYRIGHT: (C)1991,JPO&Japio